

**PCT**ORGANISATION MONDIALE DE LA PROPRIÉTÉ INTELLECTUELLE  
Bureau international

DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets <sup>6</sup> :

H01L 21/18

A1

(11) Numéro de publication internationale:

WO 99/05711

(43) Date de publication internationale:

4 février 1999 (04.02.99)

(21) Numéro de la demande internationale: PCT/FR98/01585

(22) Date de dépôt international: 20 juillet 1998 (20.07.98)

(30) Données relatives à la priorité:

97/09264

22 juillet 1997 (22.07.97)

FR

(71) Déposant (pour tous les Etats désignés sauf US): COMMIS-  
SARIAT A L'ÉNERGIE ATOMIQUE [FR/FR]; 31-33, rue  
de la Fédération, F-75015 Paris (FR).

(72) Inventeur; et

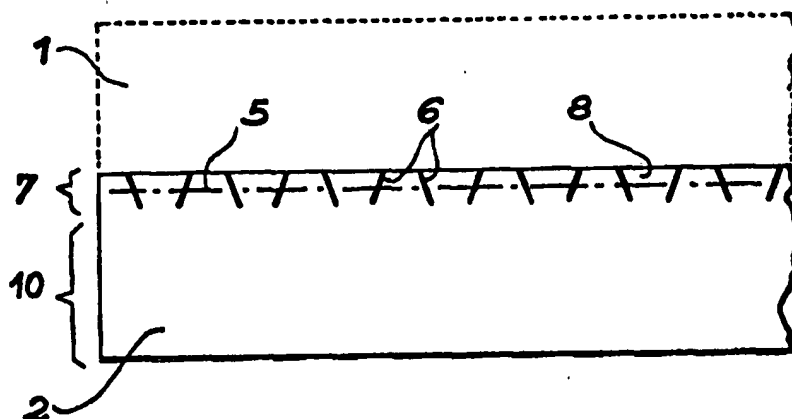
(75) Inventeur/Déposant (US seulement): BRUEL, Michel  
[FR/FR]; Presvert N°9, F-38113 Veurey (FR).(74) Mandataire: BREVATOME; 25, rue de Ponthieu, F-75008  
Paris (FR).(81) Etats désignés: JP, US, brevet européen (AT, BE, CH, CY,  
DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT,  
SE).

Publiée

*Avec rapport de recherche internationale.**Avant l'expiration du délai prévu pour la modification des  
revendications, sera republiée si des modifications sont  
reçues.*

(54) Title: PRODUCING MICROSTRUCTURES OR NANOSTRUCTURES ON A SUPPORT

(54) Titre: RÉALISATION DE MICROSTRUCTURES OU DE NANOSTRUCTURES SUR UN SUPPORT



## (57) Abstract

The invention concerns a method for producing microstructures or nanostructures on a support, comprising the following steps: contacting one surface of a first wafer (1) in crystalline material with a surface of a second wafer (2) in crystalline material, so that the two crystalline lattices of said surfaces have at least one misalignment parameter for forming a crystalline fault network (6) and/or a stress network within the crystalline zone (8) extending on either side of the interface of the two wafers, at least one of said networks defining a microstructure or a nanostructure; thinning one (1) of the two wafers to expose the fault network and/or the stress network on a support (10) constituted by the other wafer.

(57) Abrégé

L'invention concerne un procédé de réalisation de micro- ou de nanostructure sur un support, comportant les étapes suivantes: mise en contact d'une face d'une première plaquette (1) en matériau cristallin avec une face d'une deuxième plaquette (2) en matériau cristallin, de façon que les réseaux cristallins présentés par lesdites faces présentent au moins un paramètre de désaccord apte à permettre la formation d'un réseau de défauts cristallins (6) et/ou d'un réseau de contraintes au sein d'une zone cristalline (8) s'étendant de part et d'autre de l'interface des deux plaquettes, au moins l'un desdits réseaux définissant la micro- ou la nanostructure, amincissement de l'une (1) des deux plaquettes pour faire apparaître le réseau de défauts et/ou le réseau de contraintes sur un support (10) constitué par l'autre plaquette.

**UNIQUEMENT A TITRE D'INFORMATION**

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brazil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakhstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne						

## REALISATION DE MICROSTRUCTURES OU DE NANOSTRUCTURES SUR UN SUPPORT

### Domaine technique

5

La présente invention concerne la réalisation de microstructures ou de nanostructures sur un support.

10 Les microstructures, et les nanostructures pour des dimensions encore inférieures, se présentent sous la forme d'un réseau de microvolumes de matériau obtenus à la surface d'un support. Par microvolume, on entend par exemple des volumes de forme parallélépipédique, de dimensions préférentiellement  
15 inférieures au micromètre.

Généralement, on s'intéresse à des microstructures en matériau semiconducteur et en particulier en silicium, en AsGa, en composés III-V et en SiC. Cependant, on s'intéresse également aux  
20 matériaux conducteurs, tels que les métaux, et aux matériaux diélectriques tels que SiO<sub>2</sub>.

Ces micro- ou nanostructures sont destinées à la réalisation de dispositifs électroniques, optiques ou optoélectroniques. En particulier, ce type de  
25 structures permet la réalisation d'un réseau de boîtes quantiques (appelées "quantum dots" dans la terminologie anglo-saxonne), ou de dispositifs électroniques dits mono-électrons ou à blocage de Coulomb ("Coulomb blockade") ou encore de dispositifs  
30 émetteurs de lumière.

### Etat de la technique antérieure

Lorsque l'on veut réaliser des  
35 microstructures, on utilise les techniques aujourd'hui

classiques du domaine de la micro-électronique. En particulier, on utilise les principes de la lithographie combinée avec des opérations de gravure sèche ou humide, d'implantation ionique, de dépôts et de traitement thermique. Par exemple, si l'on veut réaliser un réseau carré de microvolumes parallélépipédiques en silicium monocristallin, chaque microvolume ayant 1  $\mu\text{m}$  de côté pour 0,2  $\mu\text{m}$  d'épaisseur, les microvolumes étant espacés les uns des autres de 0,5  $\mu\text{m}$ , on peut partir d'une plaquette SSI (Silicium Sur Isolant) présentant une couche de silicium monocristallin de 0,2  $\mu\text{m}$  d'épaisseur. On applique sur la couche de silicium de la plaquette une couche de résine photosensible que l'on insole grâce à une machine d'insolation à faisceau d'électrons ("Electron Beam Pattern Generator") de façon à inscrire dans la résine une matrice de lignes et de colonnes de largeur 0,5  $\mu\text{m}$  représentant les espaces entre les microvolumes. Le développement de la résine dégage les parties exposées, mettant à nu la couche de silicium correspondant à la matrice de lignes et de colonnes. La plaquette est alors soumise à un traitement de gravure plasma attaquant sélectivement le silicium par rapport à la résine. Le procédé de gravure se termine quand la couche de silice sous-jacente est atteinte. Après enlèvement de la résine, on obtient un réseau de microvolumes ayant chacun 1  $\mu\text{m}$  x 1  $\mu\text{m}$  x 0,2  $\mu\text{m}$  de dimensions et espacées de 0,5  $\mu\text{m}$ . Si nécessaire, les espaces entre microvolumes peuvent être ensuite comblés par une couche diélectrique telle que  $\text{SiO}_2$ , soit en utilisant un procédé d'oxydation thermique, soit un dépôt du type CVD.

La réalisation d'un réseau de microvolumes peut aussi être obtenue en utilisant un procédé de lithographie par interférométrie ou holographie comme

le divulgué l'article "Scalable Fabrication and Optical Characterization of nm Si Structures" par S.H. ZAIDI et al., paru dans Mat. Res. Soc. Symp. Proc. Vol. 358, pages 957-968, Materials Research Society.

5 L'utilisation de ces techniques permet la réalisation de microstructures pour des dimensions de l'ordre du micromètre ou de quelques dixièmes de micromètre. Pour obtenir les meilleures résolutions en terme de lithographie, on utilise l'insolation par  
10 faisceau d'électrons ou un photorépéteur sur tranche fonctionnant avec une longueur d'onde de 248 nm ou 193 nm.

Pour réaliser des microstructures avec des microvolumes de dimensions bien inférieures (par  
15 exemple quelques dizaines de nanomètres), il n'existe pas de moyens connus dès lors que l'on souhaite obtenir, de façon économiquement acceptable et sur de grandes surfaces, des microstructures organisées selon un plan d'organisation prédéterminé.

20 On peut noter cependant que l'on peut réaliser des microvolumes d'un premier matériau à l'intérieur d'une matrice d'un deuxième matériau, par exemple en introduisant dans cette matrice, par implantation ionique, des atomes du premier matériau en  
25 une concentration telle et avec un traitement thermique tel que ces atomes se rassemblent en précipités à l'intérieur de la matrice. On peut ainsi obtenir des précipités de silicium dans une matrice de SiO<sub>2</sub> de l'ordre de 10 nm. Une telle technique est décrite par  
30 exemple dans l'article "Control of and Mechanisms for Room Temperature Visible Light Emission from Silicon Nanostructures in SiO<sub>2</sub> Formed by Si<sup>+</sup> Ion Implantation" de T. KOMODA et al., paru dans Mat. Res. Soc. Symp. Proc. Vol. 358, pages 163-168, 1995, Materials Research

Society. Cependant, les précipités obtenus sont répartis au hasard dans la matrice.

De façon analogue, en réalisant un dépôt (par exemple, par évaporation) sur une surface, on peut  
5 obtenir des noyaux de condensation répartis au hasard sur la surface. L'article "Generation and Structural Analysis of Silicon Nanoparticles" de PING LI et K. SATTler, paru dans Mat. Res. Soc. Symp. Proc. Vol. 358, pages 123-126, 1995, Materials Research Society,  
10 divulgue l'évaporation de silicium sur une surface de silicium ou de graphite.

Les applications de ces microstructures sont multiples et dépendent des propriétés particulières de chacune. Ces propriétés sont liées à  
15 un effet de taille sur les états électroniques des porteurs dans ces matériaux, aux effets de surface, d'interface, à l'existence ou non de phases intergranulaires, etc. Une application particulière est la réalisation d'émetteurs de lumière, notamment à  
20 partir de matériaux tels que le silicium qui, à l'état monocristallin massif ne sont pas émetteurs (voir l'article de T. KOMOKA déjà cité). Une autre application est la réalisation de dispositifs électroniques basés sur le confinement quantique des  
25 porteurs électroniques dans les microvolumes de la structure ou à des effets de blocage de Coulomb. Cette application est décrite dans l'article "Modelling the Multiplicity of Conductance Structures in Clusters of Silicon Quantum Dots" de D. W. BOERINGER et R. TSU,  
30 paru dans Mat. Res. Soc. Symp. Proc. Vol. 358, pages 569-574, 1995, Materials Research Society.

Exposé de l'invention

La présente invention a été conçue afin de permettre la réalisation de micro-structures pouvant  
5 comporter des microvolumes de dimensions nettement inférieures aux microvolumes réalisables actuellement, par exemple quelques dizaines de nm, de façon économique et sur de grandes surfaces. En outre, ces microstructures sont organisées selon un plan  
10 prédéterminé au lieu d'être réparties au hasard.

L'invention propose un procédé de réalisation, de micro- ou de nanostructures, qui s'applique à des matériaux cristallins, qu'ils soient semiconducteurs, conducteurs ou diélectriques.

15 L'invention a donc pour objet un procédé de réalisation de micro- ou de nanostructure sur un support, caractérisé en ce qu'il comporte les étapes suivantes :

- collage par mise en contact d'une face  
20 d'une première plaquette en matériau cristallin avec une face d'une deuxième plaquette en matériau cristallin, de façon que les réseaux cristallins présentés par lesdites faces présentent au moins un paramètre de désaccord apte à permettre la formation  
25 d'un réseau de défauts cristallins et/ou d'un réseau de contraintes au sein d'une zone cristalline s'étendant de part et d'autre de l'interface des deux plaquettes, au moins l'un desdits réseaux définissant la micro- ou la nanostructure,

30 - amincissement de l'une des deux plaquettes pour faire apparaître le réseau de défauts et/ou le réseau de contraintes sur un support constitué par l'autre plaquette.

Le paramètre de désaccord peut être  
35 constitué par un angle déterminé de décalage en

rotation des réseaux cristallins présentés par lesdites faces. Le réseau de défauts obtenu, dit de "twist" est un réseau de dislocations à caractère vis.

5 Le paramètre de désaccord peut aussi être constitué par une différence de paramètre de maille cristalline entre les matériaux cristallins des faces des plaquettes mises en contact. le réseau de défauts obtenu est dit de "misfit".

10 Le paramètre de désaccord peut encore être constitué par un angle déterminé selon lequel la face d'au moins l'une des plaquettes est décalée par rapport au plan cristallographique simple de direction correspondant à cette face. Les faces cristallines désorientées (une seule ou les deux) par rapport à un  
15 plan cristallographique simple sont dites vicinales. Le réseau de défaut est dit de "miscut".

Toutes les combinaisons de paramètres de désaccord sont possibles, par exemple en collant deux matériaux différents et décalés en rotation. Plusieurs  
20 réseaux sont alors formés.

La mise en contact peut être préférentiellement du type hydrophobe, c'est-à-dire à collage direct des faces desdites plaquettes. Elle peut être du type hydrophile, c'est-à-dire impliquant une  
25 fine couche intermédiaire, par exemple une couche d'oxyde formée naturellement sur une face d'une plaquette ou sur les faces des plaquettes.

Avantageusement, le procédé comporte en outre au moins une étape de traitement thermique destinée soit à compléter la formation du réseau de  
30 défauts cristallins et/ou du réseau de contraintes si la mise en contact est insuffisante pour l'achever, soit à l'achever complètement. De plus, ce traitement peut être apte à renforcer les liaisons interatomiques  
35 entre les faces des plaquettes mises en contact. Ce



traitement thermique peut être réalisé avant ou après l'étape d'amincissement.

L'étape d'amincissement peut être réalisée au moyen d'une technique choisie parmi la  
5 rectification, l'abrasion mécanique ou l'abrasion chimique.

L'étape d'amincissement peut aussi être réalisée par clivage de l'une des plaquettes qui, avant l'étape de mise en contact a été soumise, au travers de  
10 sa face à mettre en contact, à une étape d'implantation ionique destinée à créer, à une profondeur déterminée et correspondant à l'amincissement désirée, une couche de microcavités susceptible de générer un plan de clivage lors d'une étape postérieure de traitement  
15 thermique. L'implantation ionique peut être réalisée au moyen d'ions hydrogène. Dans le cas où l'étape d'amincissement est ainsi réalisée, il peut être prévu au moins une étape de traitement thermique permettant simultanément de compléter ou d'achever la formation du  
20 réseau de défauts cristallins et/ou du réseau de contraintes, de renforcer les liaisons interatomiques entre les faces des plaquettes mises en contact et de générer le plan de clivage.

En fonction des utilisations auxquelles la  
25 micro- ou la nanostructure est destinée, après l'étape d'amincissement, il peut être prévu une étape consistant à traiter sélectivement le réseau de défauts cristallins et/ou le réseau de contraintes par rapport à ladite zone cristalline. Ceci permet en particulier  
30 d'accentuer la différence de comportement physique/électrique ou optoélectronique des défauts cristallins par rapport à ladite zone cristalline ou, de façon plus générale, de délimiter des micro- ou nanovolumes dans ou au-dessus de la zone cristalline.  
35 Cette étape de traitement sélectif peut consister à

rendre conducteurs les défauts cristallins et/ou le réseau de contraintes de manière que ladite zone cristalline forme des plots cristallins reliés électriquement entre eux. Dans ce cas, on peut procéder à une diffusion de phosphore qui diffuse préférentiellement au niveau des défauts cristallins. L'étape de traitement sélectif peut aussi consister en une isolation électrique afin que ladite zone cristalline forme des plots cristallins isolés électriquement entre eux. Dans ce cas, on peut procéder à une attaque chimique du réseau de défauts cristallins et/ou du réseau de contraintes, éventuellement suivie du dépôt d'un isolant électrique. L'attaque chimique peut être précédée d'une phase de décoration de défauts cristallins et/ou du réseau de contraintes par précipitation d'impuretés métalliques ou dopantes.

Le réseau de défauts produit par les techniques indiquées ci-dessus s'étend une faible épaisseur de part et d'autre de la surface de collage des deux plaquettes. Par contre, les contraintes induites par ces défauts s'étendent de chaque côté de l'interface, dans les plaquettes, sur des distances de l'ordre de grandeur de la période des dislocations. Ainsi, l'amincissement de l'une des plaquettes peut se faire en arrêtant l'opération à une distance de l'interface qui est du même ordre de grandeur. A la surface ainsi exposée, et avant d'être parvenu sur les défauts cristallins, le champ de contraintes en surface est non uniforme et est à l'image de réseau de défauts sous-jacent. L'étape de traitement sélectif peut alors consister à déposer, par exemple par épitaxie, un matériau cristallin désaccordé en maille cristalline avec le matériau cristallin révélé par l'étape d'amincissement, ce matériau cristallin déposé formant

un ensemble ordonné d'ilots en correspondance avec le réseau de défauts cristallins sous-jacent.

L'isolation électrique du traitement sélectif peut être du type où une conduction électrique peut y avoir lieu par un effet physique tel que l'effet tunnel ou l'effet Fowler-Nordheim.

L'étape de traitement sélectif peut aussi consister à traiter les défauts cristallins et/ou le réseau de contraintes de manière que ladite zone cristalline forme des plots cristallins reliés entre eux par des zones semiconductrices ou présentant une barrière de potentiel.

L'invention a aussi pour objet une micro- ou nanostructure sur un support, caractérisée en ce qu'elle est obtenue selon le procédé décrit ci-dessus à partir de plaquettes dont les faces à mettre en contact sont en matériaux semiconducteurs. Au moins l'une de ces faces à mettre en contact peut être en SiC ou en matériau semiconducteur III-V tel que AsGa ou GaAlAs.

L'invention a encore pour objet une micro- ou nanostructure sur un support, caractérisée en ce qu'elle est obtenue selon le procédé décrit ci-dessus, l'une des plaquettes étant constituée d'une plaquette Silicium-Sur-Isolant, l'autre plaquette étant en silicium et constituant la plaquette amincie, le procédé permettant l'obtention d'une micro- ou d'une nanostructure constituée de microvolumes de silicium sur une couche d'isolant.

### Brève description des dessins

L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre

d'exemple non limitatif, accompagnée des dessins annexés parmi lesquels :

5                   - la figure 1A représente deux plaquettes de matériau cristallin lors de leur mise en contact, selon une première variante du procédé de réalisation de la présente invention,

10                   - la figure 1B représente deux plaquettes de matériau cristallin lors de leur mise en contact, selon une seconde variante du procédé de réalisation de la présente invention,

                  - la figure 1C représente deux plaquettes de matériau cristallin lors de leur mise en contact, selon une troisième variante du procédé de réalisation de la présente invention,

15                   - la figure 2 est une vue de côté d'un ensemble formé des deux plaquettes de la figure 1A après leur mise en contact,

20                   - la figure 3 est une vue de côté de l'ensemble représenté à la figure 2, après l'étape d'amincissement du procédé selon la présente invention,

                  - la figure 4 est une vue de côté d'une microstructure obtenue par la présente invention,

25                   - la figure 5 est une vue de côté d'une autre microstructure obtenue par la présente invention.

#### Description détaillée de modes de réalisation de l'invention

30                   Les figures 1A, 1B et 1C illustrent trois variantes de mise en oeuvre du procédé selon la présente invention.  $X_1$ ,  $X_2$  et  $X_3$  représentent les axes cristallographiques. Dans le cas de la figure 1A, le paramètre qui règle la densité de défauts (ou la  
35 distance moyenne entre défauts) est l'angle de rotation

$\beta$  existant entre les réseaux cristallins présentés par les faces mises en contact des plaquettes 1 et 2. Dans le cas de la figure 1B, le paramètre qui règle la densité de défauts (ou la distance moyenne entre défauts) est l'angle de rotation  $\alpha$  existant entre les plans cristallographiques des plaquettes 101 et 102 mises en contact. Dans le cas de la figure 1C, le paramètre qui règle la densité de défauts (ou la distance moyenne entre défauts) est le désaccord de maille  $f_1$  entre les deux matériaux cristallins des plaquettes 201 et 202 mises en contact.

Le tableau ci-dessous donne les valeurs de l'angle de rotation  $\beta$ , de l'angle de désorientation  $\alpha$  et du désaccord de maille  $f_1$  en fonction de la période  $p$  du réseau de défauts à l'interface (cas du silicium 100).

Période (nm)	76	38,4	19,2	9,6	3,8
$\alpha(^{\circ})$	0,2	0,4	0,8	1,6	4
$\beta(^{\circ})$	0,29	0,6	1,2	2,4	6
$f_1(\%)$	0,5	1	2	4	10

A titre d'exemple, pour la variante du procédé illustré par la figure 1A, deux plaquettes de silicium (100) collées avec une rotation  $\beta$  de  $1,2^{\circ}$  forment à leur interface un réseau de dislocations vis carré de période 19,2 nm. Après amincissement de l'une des plaquettes jusqu'à  $p/2 = 9,6$  nm et après révélation par l'une des techniques décrites, on obtient une densité de nanostructures de  $2,7 \cdot 10^{15}/m^2$  et ayant une taille inférieure à 9,6 nm.

Pour obtenir une période de 19,2 nm avec la variante du procédé illustrée par la figure 1B, on peut préparer l'une des plaquettes avec une face vicinale décalée dans la direction  $\langle 100 \rangle$  de  $0,8^{\circ}$  et collée sur

une plaquette de silicium (100) non vicinale. Les densités de nanostructures obtenues sont alors de  $2,7 \cdot 10^{15}/\text{m}^2$ .

5 Pour la variante du procédé illustrée par la figure 1C, une plaquette de silicium (100) est collée à une deuxième plaquette comportant en surface une couche de SiGe. Le désaccord  $f_1$  étant de 2,1% il se forme un réseau d'interface de dislocation coin de période 20 nm. Après amincissement de la plaquette  
10 comportant la couche de SiGe jusqu'à environ 10 nm, et après révélation par l'une des techniques décrites, on obtient une densité de nanostructures du même ordre de grandeur que précédemment. Le collage d'une plaquette de germanium produirait un désaccord double et donc une  
15 densité de nanostructures quatre fois plus élevé.

Des faces autres que des faces (100) peuvent être utilisées. Par exemple les faces (111) produisent à leur interface des réseaux hexagonaux ou triangulaires de dislocations. Des faces (110)  
20 produisent des réseaux rectangulaires. Deux faces d'orientations différentes, collées l'une sur l'autre, produisent également des réseaux périodiques ou quasi-périodiques.

La variante du procédé illustré par la figure 1A va maintenant être décrite plus en détail.  
25

Pour simplifier la description, on considère un réseau de défauts cristallins étant bien entendu qu'il est généralement associé à un réseau de contraintes et que des traitements sélectifs peuvent  
30 être également faits sur le réseau de contraintes.

La figure 1A montre deux plaquettes 1 et 2 en silicium de plan cristallographique (1,0,0) lors de leur mise en contact et présentant des faces planes, respectivement 3 et 4, en regard. Les faces planes 3 et  
35 4 ont reçu un traitement de surface pour les rendre

hydrophobes. Ceci assurera une mise en contact intime et adhérent des faces 3 et 4. Ce traitement de surface comprend une étape de nettoyage chimique se terminant par exemple par une étape d'attaque à l'acide fluorhydrique. Pour plus de détails, on pourra se reporter au chapitre "Silicon Surface Chemical Composition and Morphology" par Gregg S. HIGASHI et Yves J. CHABAL, pages 433 et suivantes de l'ouvrage "Handbook of Semiconductor Wafer Cleaning Technology", publié sous la direction de Werner KERN chez Noyes Publications, Park Ridge, New Jersey, USA.

On effectue une mise en contact des faces 3 et 4 avec collage par adhésion moléculaire, par exemple à température ambiante, en veillant que les réseaux cristallins présentés par les deux faces soient décalés l'un par rapport à l'autre d'un angle  $\beta$  déterminé, par exemple  $0,6^\circ$ .

L'ensemble constitué par ces deux plaquettes solidarisées est alors soumis à un traitement thermique à une température de l'ordre de  $950^\circ\text{C}$  pendant environ 30 minutes. Lors de ce traitement thermique, des liaisons interatomiques plus fortes et plus nombreuses s'établissent entre les deux plaquettes. En raison de l'angle de torsion existant entre les deux réseaux cristallins, un réseau de défauts cristallins, par exemple un réseau de dislocations, s'établit au voisinage de l'interface entre les deux plaquettes, dans une couche de faible épaisseur (quelques dizaines à quelques centaines de nm) centrée sur l'interface. Ceci est représenté schématiquement sur la figure 2 où la référence 5 désigne cette interface, les défauts cristallins (ou dislocations) étant figurés sous la référence 6.

L'expérience montre que ces dislocations forment un réseau régulier bidimensionnel (carré dans

l'exemple donné ici) de pas d'environ 40 nm. Ces faits sont expliqués de manière théorique dans l'article "TEM Observations on Grain Boundaries in Sintered Silicon" de H. FOLL et D. AST, paru dans la revue Philosophical Magazine A, 1979, vol. 40, N° 5, pages 589-610. La page 596 de cet article reproduit une photographie d'un tel réseau de dislocations.

L'espacement entre deux dislocations adjacentes est fonction de l'angle  $\beta$  de rotation des réseaux cristallins des deux plaquettes. La valeur de cet espacement varie comme l'inverse de  $\sin(\beta/2)$ . Pour  $\beta = 5^\circ$ , on obtient un espacement entre dislocations adjacentes de 4,4 nm.

Pour obtenir une microstructure à partir de l'ensemble représenté à la figure 2, il suffit alors d'abraser (par rectification, abrasion mécanique ou chimique) l'une des deux plaquettes en arrêtant l'opération d'abrasion lorsque la zone de dislocations est atteinte. C'est ce que montre la figure 3 où la microstructure est désignée sous la référence 7. Elle repose sur un support 10 constitué par la plus grande partie de la plaquette 2.

Un traitement de surface peut ensuite être mis en oeuvre pour différencier, de manière plus spécifique, les défauts cristallins de la zone cristalline 8 environnante.

On peut, par exemple, au moyen d'un bain chimique attaquer sélectivement les défauts cristallins 6 sans attaquer la zone cristalline 8 adjacente. Dans l'exemple de réalisation donné ici, on peut utiliser les bains chimiques SECCO® ou WRIGHT®. On obtient alors un réseau de microvolumes de silicium de forme carrée, suivant un réseau au pas p de 40 nm, isolés les uns des autres par des espacements.



Une isolation diélectrique latérale des microvolumes 9 peut être effectuée. Pour cela on peut, par exemple, oxyder thermiquement la microstructure 7 ou effectuer un dépôt CVD. Pour certaines applications, la couche d'oxyde déposée sur la microstructure 7 peut être arasée, comme cela est représenté sur la figure 4, pour ne garder qu'un dépôt d'isolant 11 entre les microvolumes 9. Dans ce cas, on obtient un réseau de matériau isolant se substituant au réseau de dislocations.

Le traitement de surface peut aussi être mené pour rendre le réseau de dislocations conducteur, isolant, voire semiconducteur en fonction de l'application visée. Ceci permet de rendre les microvolumes ou plots cristallins, soit reliés électriquement entre eux par des liaisons conductrices, soit isolés électriquement, soit reliés par des zones semi-conductrices ou présentant une barrière de potentiel. Concernant l'isolation électrique, on comprend aussi des isolations telles que la conduction électrique à travers les parties isolantes peut avoir lieu par effet tunnel par exemple, ou par effet Fowler-Nordheim ou par tout autre effet physique. Pour rendre conducteur le réseau de dislocations, on peut réaliser une diffusion de phosphore qui diffuse préférentiellement au niveau des dislocations.

Une autre possibilité de réaliser l'étape d'amincissement consiste à appliquer le procédé décrit dans le document FR-A-2 681 472 de manière à obtenir un clivage de la plaquette concernée. Pour cela, on implante par exemple des protons dans cette plaquette pour obtenir une couche de microcavités à la profondeur voulue de la face à mettre en contact. Cette face subit le traitement de nettoyage et de collage. Le traitement thermique est ensuite appliqué. Il permet de générer

simultanément la création de dislocations et le clivage selon la couche de microcavités.

L'une des plaquettes, celle destinée à constituer le support, peut être une plaquette SSI (Silicium-Sur-Isolant) appelée SOI ("Silicon on Insulator") dans la terminologie anglo-saxonne et l'autre plaquette peut être un substrat massif de silicium. Le procédé selon l'invention procure alors un réseau de microvolumes de silicium sur une couche d'isolant.

Les deux plaquettes de matériau cristallin peuvent être de nature différente, par exemple une plaquette de silicium et une plaquette d'arséniure de gallium, ou une plaquette de silicium et une plaquette de germanium. Par ailleurs, les plaquettes ne sont pas forcément homogènes. Il suffit simplement que les faces à mettre en contact soient en matériau cristallin, le reste des plaquettes pouvant présenter d'autres structures.

Comme il a été dit plus haut, la micro- ou la nanostructure peut encore être obtenue à partir d'un réseau de contraintes. Ce réseau de contraintes peut être révélé par diverses techniques.

Le réseau de contraintes peut être révélé par dépôt, par un procédé d'épitaxie (MOCVD, MBE, épitaxie en phase liquide...), sur la plaquette amincie d'un matériau cristallin désaccordé en maille cristalline. Dans le mode de croissance en îlots, les sites de nucléation préférentiels fournis par les zones en compression (respectivement en tension) seront favorables pour les dépôts à mailles plus petites (respectivement plus grandes) que la plaquette amincie. Il sera ainsi formé un ensemble ordonné d'îlots de taille correspondant au réseau sous-jacent.

Ce dépôt peut être illustré à partir de la variante du procédé illustrée par la figure 1C. Un ensemble a été préparé selon cette variante, comme décrit plus haut, à partir d'une plaquette de silicium d'orientation (100) et une plaquette comportant la couche de SiGe. Après amincissement, on obtient l'ensemble représenté à la figure 5 où la référence 202 désigne la plaquette de silicium et la référence 201' ce qui reste de la couche de SiGe. Un dépôt de germanium pur est effectué en conditions de croissance de Stranski-Krastanov. Des îlots de germanium nanométriques 210 sont nucléés à l'aplomb des noeuds du réseau de dislocations, dans les zones de contraintes en tension.

15

20

25

## REVENDICATIONS

1. Procédé de réalisation de micro- ou de nanostructure sur un support, caractérisé en ce qu'il comporte les étapes suivantes :

5                   - collage par mise en contact d'une face (3) d'une première plaquette (1) en matériau cristallin avec une face (4) d'une deuxième plaquette (2) en matériau cristallin, de façon que les réseaux cristallins présentés par lesdites faces présentent au moins un paramètre de désaccord apte à permettre la formation d'un réseau de défauts cristallins (6) et/ou d'un réseau de contraintes au sein d'une zone cristalline (8) s'étendant de part et d'autre de l'interface des deux plaquettes, au moins l'un desdits  
10 réseaux définissant la micro- ou la nanostructure,

15                   - amincissement de l'une des deux plaquettes pour faire apparaître le réseau de défauts et/ou le réseau de contraintes sur un support (10) constitué par l'autre plaquette.

20                   2. Procédé selon la revendication 1, caractérisé en ce que ledit paramètre de désaccord est constitué par un angle ( $\theta$ ) déterminé de décalage en rotation des réseaux cristallins présentés par lesdites faces.

25                   3. Procédé selon la revendication 1, caractérisé en ce que ledit paramètre de désaccord est constitué par une différence de paramètre de maille cristalline entre les matériaux cristallins des faces des plaquettes mises en contact.

30                   4. Procédé selon la revendication 1, caractérisé en ce que ledit paramètre de désaccord est constitué par un angle ( $\alpha$ ) déterminé selon lequel la face d'au moins l'une des plaquettes est décalée par rapport au plan cristallographique simple de direction  
35 correspondant à cette face.

5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que la mise en contact est du type hydrophobe.

5 6. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que la mise en contact est du type hydrophile.

7. Procédé selon l'une quelconque des revendications 1 à 6, caractérisé en ce que, lors de l'étape de mise en contact, on soumet la première et la  
10 deuxième plaquette à au moins l'une des opérations suivantes : traitement thermique, mise en pression, application d'un champ électrique.

8. Procédé selon l'une quelconque des revendications 1 à 7, caractérisé en ce qu'il comporte  
15 en outre au moins une étape de traitement thermique destinée à compléter ou achever la formation du réseau de défauts cristallins et/ou du réseau de contraintes.

9. Procédé selon l'une quelconque des revendications 1 à 8, caractérisé en ce que l'étape  
20 d'amincissement est réalisée au moyen d'une technique choisie parmi la rectification, l'abrasion mécanique ou l'abrasion chimique.

10. Procédé selon l'une quelconque des revendications 1 à 8, caractérisé en ce que l'étape  
25 d'amincissement est réalisée par clivage de l'une des plaquettes qui, avant l'étape de mise en contact a été soumise, au travers de sa face à mettre en contact, à une étape d'implantation ionique destinée à créer, à une profondeur déterminée et correspondant à  
30 l'amincissement désirée, une couche de microcavités susceptible de générer un plan de clivage lors d'une étape postérieure de traitement thermique.

11. Procédé selon la revendication 10, caractérisé en ce que l'implantation ionique est  
35 réalisée au moyen d'ions hydrogène.

12. Procédé selon l'une des revendications 10 ou 11 lorsqu'elles sont rattachées à la revendication 7, caractérisé en ce qu'il est prévu au moins une étape de traitement thermique permettant  
5 simultanément de compléter ou d'achever la formation du réseau de défauts cristallins et/ou du réseau de contraintes et de générer le plan de clivage.

13. Procédé selon l'une quelconque des revendications 1 à 12, caractérisé en ce que, après  
10 l'étape d'amincissement, il est prévu une étape consistant à traiter sélectivement le réseau de défauts cristallins (6) et/ou le réseau de contraintes par rapport à ladite zone cristalline (8).

14. Procédé selon la revendication 13, caractérisé en ce que l'étape de traitement sélectif  
15 consiste à rendre conducteurs les défauts cristallins (6) et/ou le réseau de contraintes de manière que ladite zone cristalline (8) forme des plots cristallins reliés électriquement entre eux.

20 15. Procédé selon la revendication 14, caractérisé en ce que les défauts cristallins (6) sont rendus conducteurs par diffusion de phosphore.

16. Procédé selon la revendication 13, caractérisé en ce que l'étape de traitement sélectif  
25 consiste en une isolation électrique (11) afin que ladite zone cristalline forme des plots cristallins (9) isolés électriquement entre eux.

17. Procédé selon la revendication 16, caractérisé en ce que le traitement sélectif consiste  
30 en une attaque chimique des défauts cristallins et/ou du réseau de contraintes.

18. Procédé selon la revendication 17, caractérisé en ce que ladite attaque chimique est précédée d'une phase de décoration des défauts

cristallins et/ou du réseau de contraintes par précipitation d'impuretés métalliques ou dopantes.

19. Procédé selon la revendication 17, caractérisé en ce que l'attaque chimique est suivie du  
5 dépôt d'un isolant électrique.

20. Procédé selon la revendication 16, caractérisé en ce que ladite isolation électrique est du type où une conduction électrique peut y avoir lieu par un effet physique tel que l'effet tunnel ou l'effet  
10 Fowler-Nordheim.

21. Procédé selon la revendication 13, caractérisé en ce que l'étape de traitement sélectif consiste à traiter les défauts cristallins et/ou le réseau de contraintes de manière que ladite zone  
15 cristalline forme des plots cristallins reliés entre eux par des zones semiconductrices ou présentant une barrière de potentiel.

22. Procédé selon la revendication 13, caractérisé en ce que l'étape de traitement sélectif  
20 consiste à déposer, par épitaxie, un matériau cristallin désaccordé en maille cristalline avec le matériau cristallin révélé par l'étape d'amincissement, ce matériau cristallin déposé formant un ensemble ordonné d'îlots en correspondance avec le  
25 réseau de défauts cristallins et/ou le réseau de contraintes sous-jacent.

23. Micro- ou nanostructure sur un support, caractérisée en ce qu'elle est obtenue selon l'une quelconque des revendications 1 à 22 à partir de  
30 plaquettes (1,2) dont les faces à mettre en contact (3,4) sont en matériaux semiconducteurs.

24. Micro- ou nanostructure sur un support selon la revendication 23, caractérisé en ce qu'au moins l'une desdites faces à mettre en contact est en  
35 SiC.

25. Micro- ou nanostructure sur un support selon la revendication 22, caractérisé en ce qu'au moins l'une desdites faces à mettre en contact est en matériau semiconducteur III-V tel que AsGa ou GaAlAs.

5                   26. Micro- ou nanostructure sur un support, caractérisée en ce qu'elle est obtenue selon l'une quelconque des revendications 1 à 22, l'une des plaquettes étant constituée d'une plaquette Silicium-Sur-Isolant, l'autre plaquette étant en  
10 silicium et constituant la plaquette amincie, le procédé permettant l'obtention d'une micro- ou d'une nanostructure constituée de microvolumes de silicium sur une couche d'isolant.



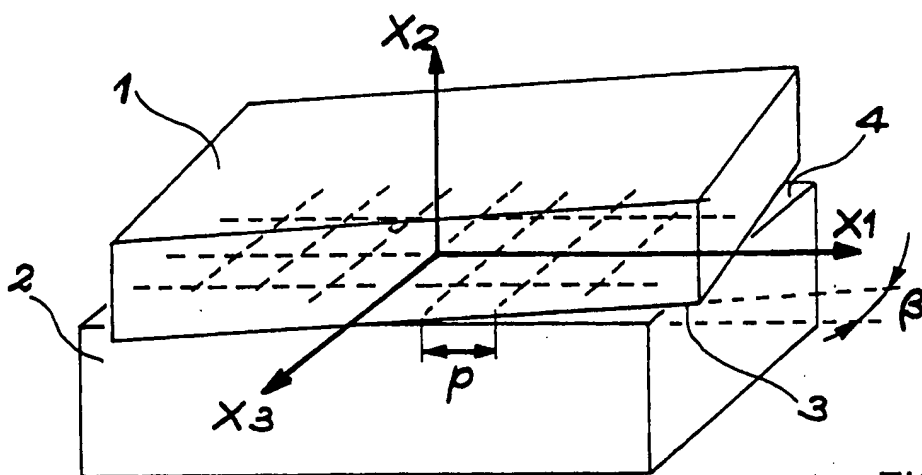


FIG. 1A

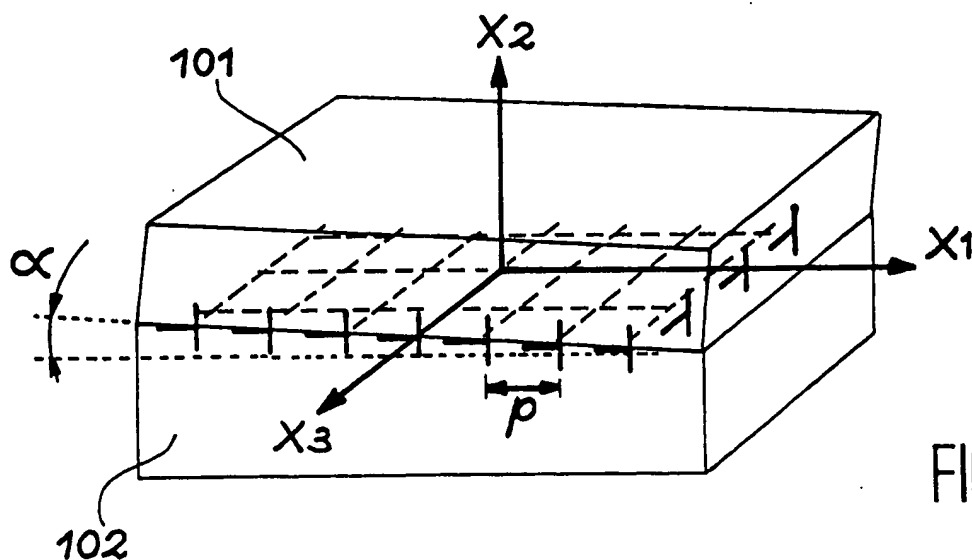


FIG. 1B

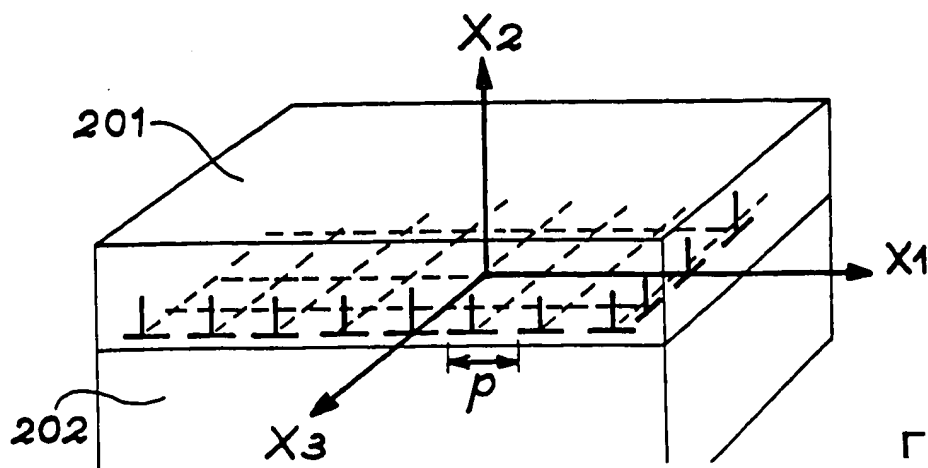


FIG. 1C

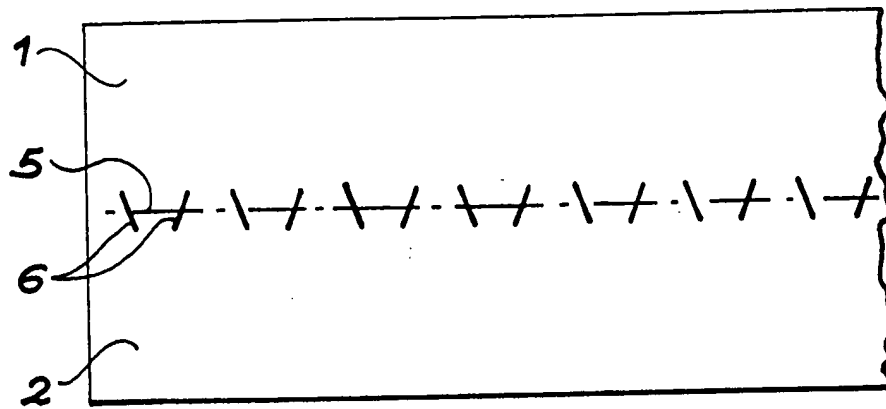


FIG. 2

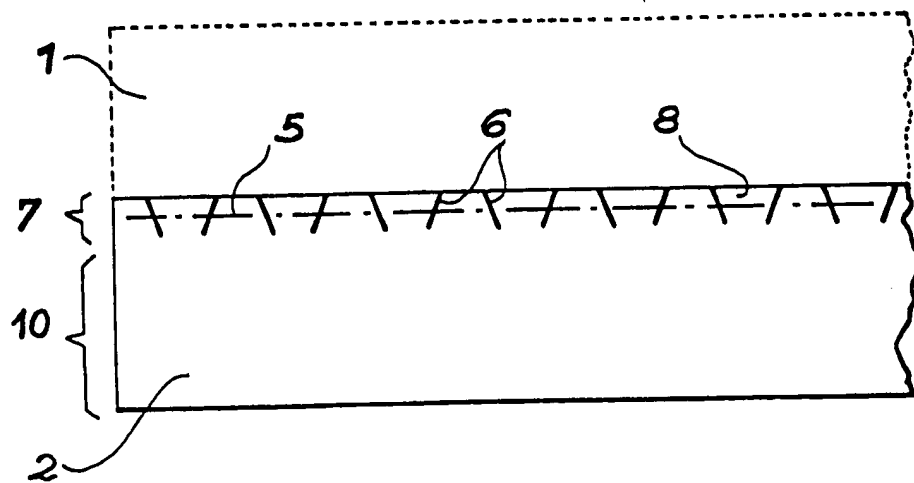


FIG. 3

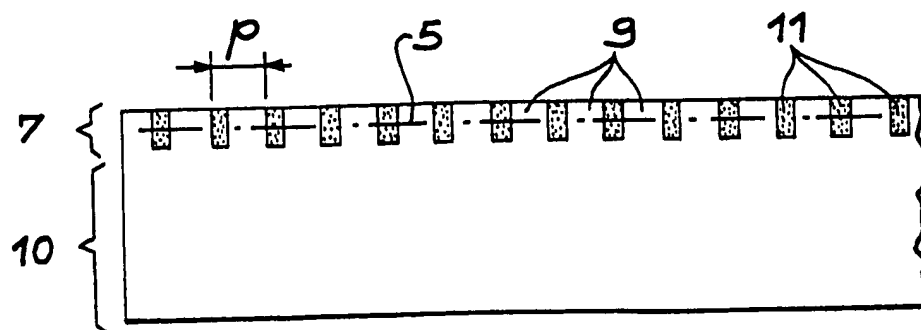


FIG. 4

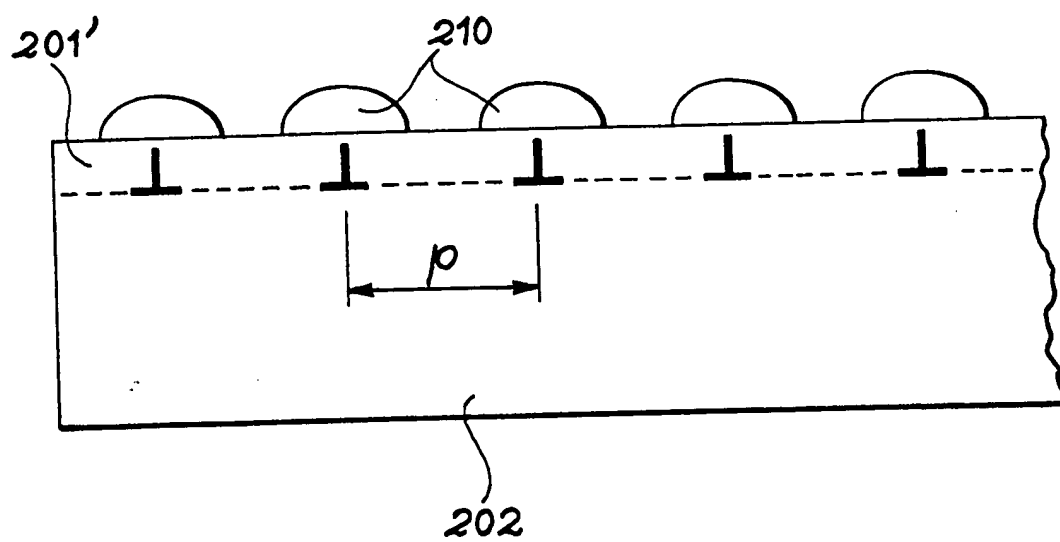


FIG. 5

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 98/01585

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H01L21/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L B81C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	BENAMARA M ET AL: "STRUCTURAL AND ELECTRICAL INVESTIGATIONS OF SILICON WAFER BONDING INTERFACES" MATERIALS SCIENCE AND ENGINEERING B, vol. 42, no. 1 - 03, 1996, pages 164-167, XP002059412 see page 164, right-hand column, paragraph 2 - page 165, left-hand column, paragraph 1; figures 1,2	1,2,5,7, 9,13,17, 18,23
A	ABE T ET AL: "DISLOCATION-FREE SILICON ON SAPPHIRE BY WAFER BONDING" JAPANESE JOURNAL OF APPLIED PHYSICS, vol. 33, 1994, pages 514-518, XP000749264 see abstract	1,3,6-9



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

### \* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

23 November 1998

Date of mailing of the international search report

30/11/1998

Name and mailing address of the ISA  
European Patent Office, P.O. Box 5818, D-68181 Mannheim 2

Authorized officer

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 98/01585

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>YANG W -S ET AL: "GOLD GETTERING IN DIRECTLY BONDED SILICON WAFERS" JAPANESE JOURNAL OF APPLIED PHYSICS, vol. 28, no. 5, PART 2, May 1989, pages L721-L724, XP000030438  see page L721, right-hand column, paragraph 2 - page L722, left-hand column, paragraph 1</p> <p style="text-align: center;">---</p>	1
A	<p>FR 2 681 472 A (BRUEL) 19 March 1993  see abstract</p> <p style="text-align: center;">---</p>	10-12
A	<p>KISH F A ET AL: "LOW-RESISTANCE OHMIC CONDUCTION ACROSS COMPOUND SEMICONDUCTOR WAFER-BONDED INTERFACES" APPLIED PHYSICS LETTERS, vol. 67, no. 14, 2 October 1995, pages 2060-2062, XP000195521  see figure 3</p> <p style="text-align: center;">-----</p>	1,4,5

**Information on patent family members**

PCT/FR 98/01585

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
FR 2681472      A	19-03-1993	EP      0533551 A	24-03-1993
		JP      5211128 A	20-08-1993
		US      5374564 A	20-12-1994
<hr/>			

# RAPPORT DE RECHERCHE INTERNATIONALE

De: le internationale No

PCT/FR 98/01585

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 6 H01L21/18

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 6 H01L 881C

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	BENAMARA M ET AL: "STRUCTURAL AND ELECTRICAL INVESTIGATIONS OF SILICON WAFER BONDING INTERFACES" MATERIALS SCIENCE AND ENGINEERING B, vol. 42, no. 1 - 03, 1996, pages 164-167, XP002059412 voir page 164, colonne de droite, alinéa 2 - page 165, colonne de gauche, alinéa 1; figures 1,2	1,2,5,7, 9,13,17, 18,23
A	ABE T ET AL: "DISLOCATION-FREE SILICON ON SAPPHIRE BY WAFER BONDING" JAPANESE JOURNAL OF APPLIED PHYSICS, vol. 33, 1994, pages 514-518, XP000749264 voir abrégé	1,3,6-9



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"Z" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

23 novembre 1998

Date d'expédition du présent rapport de recherche internationale

30/11/1998

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P. B. 5019, Strasbourg

Fonctionnaire autorisé

# RAPPORT DE RECHERCHE INTERNATIONALE

De l' le Internationale No

PCT/FR 98/01585

## C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>YANG W -S ET AL: "GOLD GETTERING IN DIRECTLY BONDED SILICON WAFERS" JAPANESE JOURNAL OF APPLIED PHYSICS, vol. 28, no. 5, PART 2, mai 1989, pages L721-L724, XP000030438 voir page L721, colonne de droite, alinéa 2 - page L722, colonne de gauche, alinéa 1</p> <p>---</p>	1
A	<p>FR 2 681 472 A (BRUEL) 19 mars 1993 voir abrégé</p> <p>---</p>	10-12
A	<p>KISH F A ET AL: "LOW-RESISTANCE OHMIC CONDUCTION ACROSS COMPOUND SEMICONDUCTOR WAFER-BONDED INTERFACES" APPLIED PHYSICS LETTERS, vol. 67, no. 14, 2 octobre 1995, pages 2060-2062, XP000195521 voir figure 3</p> <p>-----</p>	1,4,5



# RAPPORT DE RECHERCHE INTERNATIONALE

### Renseignements relatifs aux membres de familles de brevets

De Internationale No

PCT/FR 98/01585

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
FR 2681472 A	19-03-1993	EP 0533551 A	24-03-1993
		JP 5211128 A	20-08-1993
		US 5374564 A	20-12-1994